

Serial No.
10/066,475**ONE CHIP MICROCOMPUTER**

Patent Number: JP63111533
Publication date: 1988-05-16
Inventor(s): SAWADA AKIRA
Applicant(s): NEC CORP
Requested Patent: JP63111533
Application: JP19860258928
Priority Number(s):
IPC Classification: G06F9/30
EC Classification:
Equivalents:

Abstract

PURPOSE:To avoid the deterioration of availability of a ROM by producing different instruction systems by plural instruction decoders connected to a program storing ROM and actuating one of those instruction decoders with a valid signal produced from the signal of a program counter.

CONSTITUTION:All bits of a program counter 1 are connected to the address input of a ROM 4 storing a program and several bits following the most significant one are connected to the input of a selection circuit 2. Then instruction decoders 31-33 connected to each output line of the circuit 2 produce different instruction systems. Furthermore the output of the ROM 4 is connected to the inputs of decoders 31-33 respectively. Then the contents of the ROM 4 to which address is instructed by the counter 1 are interpreted by one of those decoders 31-33 that is instructed by the circuit 2.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-111533

⑤ Int.Cl.

G 06 F 9/30

識別記号

3 1 0

庁内整理番号

7361-5B

⑬ 公開

昭和63年(1988)5月16日

審査請求 未請求 発明の数 1 (全3頁)

⑭ 発明の名称 ワンチップマイクロコンピュータ

⑮ 特 願 昭61-258928

⑯ 出 願 昭61(1986)10月29日

⑰ 発 明 者 澤 田 明 東京都港区芝5丁目33番1号 日本電気株式会社内

⑱ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

⑲ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

ワンチップマイクロコンピュータ

特 許 請 求 の 範 囲

プログラムを格納したROMのアドレス指定を行なうプログラムカウンタの最上位から少なくとも1ビットの信号に基いて複数の出力線の1つに有効信号を出力する選択回路と、前記複数の出力線の各々と前記ROMとに接続されかつ各々異なる命令体系を生成する複数の命令デコードとを備え、前記有効信号の入力された前記複数の命令デコードの1つが動作することの特徴とするワンチップマイクロコンピュータ。

発 明 の 詳 細 な 説 明

(産業上の利用分野)

本発明はマイクロプロセッサ、ROM、RAM、I/Oを1つのチップ上に集積したワンチッ

プマイクロコンピュータに関する。

(従来の技術)

近年のワンチップマイクロコンピュータはチップ面積に占めるプログラム格納ROMの面積が大きく、このROMの使用効率を上げることが重要な課題となっている。ROMの使用効率に最も影響が大きいのは命令デコードで生成される命令体系である。すなわち、使用頻度の高い命令ほど短いビット長でROMに格納できれば効率が良い。

ところが、命令の使用頻度は処理の主体が判断、計算、入出力のいずれにあるかによって違っており、かつこれら3つの処理の比率が応用対象ごとに違うため、命令の使用頻度を事前に適確に判断することは困難である。そこで、命令デコードを複数内蔵し、応用対象ごとに効率の良い命令デコードを選択して使うと言うことが考えられる。当然デコード面積は増加するがROM面積に比較して小さいので効果を出せる。

命令デコードを複数有する従来技術として命令自身によって命令デコードを選択する構成のワン

チップマイクロコンピュータがある。その一例を第2図に示す。第2図を参照すると、10はプログラムカウンタ、20は選択回路、51、52、53はそれぞれ異なる命令体系を持つ命令デコーダ、40はプログラムを格納するROMである。プログラムカウンタ10によりアドレスを指定されたROM40の内容が選択回路20で選ばれた命令デコーダ51、52、53のいずれかに送られて命令を実行する。命令体系の切換えは各命令体系それぞれに他の命令体系へ切換えを指示する命令を組み込み、この命令を検出した命令デコーダが選択回路20へ指示を出すことにより行なう。
〔発明が解決しようとする問題点〕

上述した従来のマイクロコンピュータの元来の目的は古い命令体系で作られたソフトウェア資産を有効活用するために、新しい命令体系を持つマイクロコンピュータにおいても古い命令体系を動作可能にすることにある。この目的で使う場合、命令体系が頻繁に切換えられることは少ない。

ところで、前述の命令使用頻度の最適化のため

に第2図記載構成の技術を適用した場合、応用対象に対応して一度だけ命令体系を切換えるよりも判断、計算、入出力のそれぞれの処理ルーチンごとに頻繁に切換えを行なった方がより効率的である。しかし、切換え頻度が高くなると切換え命令によるROMの消費率が高くなるため、切換え頻度はある程度までしか上げられない。つまり、命令デコーダを複数用いることによる利益が薄れる問題がある。

〔問題点を解決するための手段〕

本発明のワンチップマイクロコンピュータは、プログラムを格納したROMのアドレス指定を行なうプログラムカウンタの最上位から少なくとも1ビットの信号に基いて複数の出力線の1つに有効信号を出力する選択回路と、前記複数の出力線の各々と前記ROMとに接続されかつ各々異なる命令体系を生成する複数の命令デコーダとを備え、前記有効信号の入力された前記複数の命令デコーダの1つが動作する構成である。

〔実施例〕

次に、本発明の実施例について図面を参照して説明する。

本発明の一実施例を示す第1図を参照すると、1はプログラムカウンタ、2は選択回路、31、32、33はそれぞれ異なる命令体系を生成する命令デコーダ、4はプログラムを格納するROMである。プログラムカウンタ1の全ビットがROM4のアドレス入力に接続され、かつ最上位から複数ビットが選択回路2の入力に接続されている。選択回路2の出力線のそれぞれに命令デコーダ31、32、33が接続されている。ROM4の出力は命令デコーダ31、32、33の入力に接続されている。この構成において、プログラムカウンタ1によりアドレスを指定されたROM4の内容がプログラムカウンタ1の最上位から複数ビットの信号に基づいて有効信号を出力する選択回路2より指示した命令デコーダ31、32、33のいずれか1つによって解釈実行される。なお、選択回路2はプログラム可能なロジックアレイまたはROMにより構成される。

〔発明の効果〕

以上説明したように本発明によれば、プログラムのサブルーチンを判断、計算、入出力等に分類してそれぞれに最適な命令デコーダが解釈実行を行なうプログラム格納ROMアドレスに置き、命令デコーダの選択指示をプログラムカウンタの内容によって行なうことにより、命令体系を自動的に切換えることができる。この結果、命令体系を頻繁に切換える場合でもプログラム格納ROMの使用効率低下を防止し、かつ命令デコーダを複数用いることによる利益を損なうことがない。

図面の簡単な説明

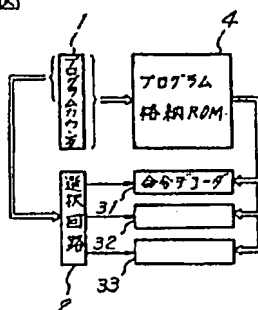
第1図は本発明の一実施例の構成図、第2図は従来の一例の構成図である。

1…プログラムカウンタ、2…選択回路、31、32、33…命令デコーダ、4…プログラム格納ROM。

代理人 弁理士 内 原



第1図



第2図

